



RANCANG BANGUN *TRAINER* DIGITAL BERBASIS *FIELD PROGRAMMABLE GATE ARRAY* (PEMBAGI *CLOCK*, MOTOR DC, MOTOR *STEPPER*)

Emy¹, Eko Mardianto², M. Ridhwan Sufandi³

Politeknik Negeri Pontianak; Jl. Jenderal Ahmad Yani, Bansir Laut, Kec. Pontianak Tenggara,
Kota Pontianak, Kalimantan Barat 78124, telp +62 561 736180
Jurusan Elektro, Politeknik Negeri Pontianak, Pontianak
e-mail: emnyalvine@gmail.com

Abstrak

Perkembangan teknologi saat ini mempercepat akses terhadap berbagai kebutuhan dengan hadirnya konsep implementasi FPGA (Field Programmable Gate Array). FPGA menjadi kunci dalam pengembangan sistem elektronik karena fleksibilitasnya dalam mengkonfigurasi ulang sirkuit secara dinamis. Di bidang pendidikan, permintaan akan pendekatan praktis semakin meningkat. Artikel ini menjelaskan penerapan operasi pada sistem digital menggunakan FPGA, khususnya pada trainer dengan Xilinx Spartan 6 XC6LSX9. Trainer ini membantu mahasiswa dalam memprogram sistem digital dengan VHDL. Hasilnya menunjukkan operasional yang sesuai dengan sistem Trainer Digital Berbasis FPGA (Pembagi Clock, Motor DC, Motor Stepper) dengan materi gerbang logika seperti counter, Ring Counter, buffer, Multiplexer, decoder, dan bcd to 7 segment. Kesimpulannya, trainer FPGA ini efektif dalam pembelajaran praktikum sistem digital.

Kata kunci : FPGA Xilinx Spartan 6, Pembagi Clock , Motor DC, Motor Stepper.

Abstrak

The concept of using Field Programmable Gate Array (FPGA) accelerates access to varied needs due to current technological advancements. FPGAs Play a pivotal part in the growth of electronic systems because of their ability to dynamically reconfigure circuits, which allows for increased flexibility. In the field of education, the demand for practical approaches is increasing. This article describes the application of operations on digital systems using FPGAs, specifically on a trainer with Xilinx Spartan 6 XC6LSX9. This trainer assists students in programming digital systems with VHDL. The results showed that the operation was in accordance with the FPGA-based Digital Trainer system (Clock Divider, DC Motor, Stepper Motor) with logic gate material such as counters, Ring Counter, buffers, Multiplexer, decoder, and bcd to 7 segment. In conclusion, this FPGA trainer is effectively used in learning digital system practicum.

Keywords : Xilinx Spartan 6 FPGA, Clock divider, DC motor, Stepper motor.

Article History

Received: September 2024
Reviewed: September 2024
Published: September 2024

Plagiarism Checker No 234
Prefix DOI : Prefix DOI :
10.8734/Kohesi.v1i2.365

Copyright : Author

Publish by : Kohesi



This work is licensed under
a [Creative Commons
Attribution-NonCommercial
4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/)



1. PENDAHULUAN

1.1 Latar Belakang

Dalam era sekarang ini teknologi *FPGA* telah menjadi salah satu pilar penting dalam pengembangan sistem elektronik. Kemampuan untuk memprogram ulang dan menyesuaikan fungsionalitas sirkuit secara dinamis menjadikan *FPGA* sebagai solusi yang unggul dalam berbagai aplikasi. Penerapan di lingkungan pendidikan dan pelatihan teknologi, ada kebutuhan yang semakin meningkat akan pengajaran yang lebih praktis dan mendalam. Mahasiswa, pelajar, membutuhkan pengalaman langsung dalam mendesain, mengimplementasikan, dan menguji sirkuit digital. Oleh karena itu, topik yang akan dijelaskan kali ini adalah penerapan berbagai operasi pada sistem digital menggunakan *FPGA*. Keunggulan *FPGA* terletak pada jumlah dan jenis gerbang yang dapat mencapai ribuan hingga ratusan ribu, serta kemampuannya untuk diprogram ulang berulang kali. Perangkat lunak digunakan untuk desain dan simulasi *FPGA* pada *PC*. Selain itu, bahasa pemrograman *Very High-Speed Integrated Circuit Hardware Description Language (VHDL)* memungkinkan penggunaan simbol-simbol dalam desain rangkaian. Oleh karena itu, fungsi perangkat *FPGA* sangat bergantung pada kode-kode *VHDL* yang diprogram dengan tujuan tertentu untuk membangun perangkat dengan kinerja tertentu.

Tujuan dari tugas akhir ini adalah untuk melakukan penelitian tentang fitur kinerja mikrokontroler *FPGA* yang dituangkan dalam sebuah Modul Praktikum. Modul Praktiku ini akan digunakan khususnya pada mata kuliah Perancangan Sistem Digital prodi Teknologi Rekayasa Sistem Elektronika di Politeknik Negeri Pontianak, dan mahasiswa dapat melakukan pengoperasian yang terkait pada Pembagi *Clock*, Motor *DC*, Motor *Stepper*. Dengan sifat *FPGA* yang dapat di konfigurasi hingga mampu mengimplementasikan fungsi program pada perangkat keras.

1.2 Tinjauan Pustaka

1. Jurnal Teknik Elektro Politeknik Negeri Ujung Padang, Makassar disusun oleh Kartika Dewi, Sulaeman, Reksi Praminasari (2020) dengan judul "Implementasi Field Programmable Gate Array (*FPGA*) Pada Digital Logic Trainner" Penelitian ini menggunakan modul papan Altera *DE2* dan aplikasi Quartus II [1].
2. Jurnal yang ditulis oleh Ega Dewa Iswanto, Mochammad Hannas Ichsan, dan Wijaya Kurniawan pada tahun 2019 di Fakultas Ilmu Komputer, Program Studi Teknik Informatika, Universitas Brawijaya, berjudul "Desain Arithmetic Logic Unit 8bit untuk central procesing unit 8bit" Penelitian ini menggunakan komponen-komponen yaitu *ALU*, penjumlahan, Multiplexer dan gerbang logika [2].
3. Jurnal MIPA Universitas Gadjah Mada, Jurusan Ilmu Komputer dan Elektronika, Program Studi Elektroika dan Instrumentasi, Yogyakarta, disusun oleh Agfianto Eko Putra dan Rahadian Mu'alif (2013) dengan judul "Sistem Pengaturan dan Pemantauan Kecepatan Putar Motor *DC* berbasis *FPGA* dan *VHDL*" Penelitian ini menggunakan kontrol motor *DC* dengan menggunakan *FPGA* dan bahasa *VHDL* [3].
4. Jurnal FMIPA UGM, Prodi Elektronika dan instrumentasi, Yogyakarta disusun oleh Ahmad Haneef Zuhdy (2014) dedengan judul "Implementasi Program *DAC* pada *FPGA* Xilinx Spartan-6 Berbasis *VHDL*" Nilai sinyal dihitung dan dikirim ke *FPGA* melalui *USB-UART* menggunakan metode modulasi delta-sigma dan *PWM* dengan sistem *MATLAB*. [4].

2. METODE

Untuk menyelesaikan penelitian ini ada beberapa Langkah penting yang harus di capai antara lain yaitu studi literature, perancangan, pembuatan, pengujian dan analisis data. Berikut ini ada

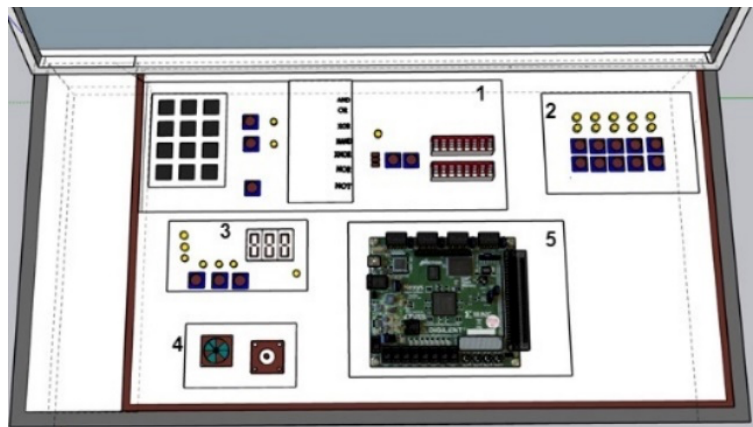
beberapa tahapan untuk pembuatan Rancang Bangun Trainer Digital Berbasis Fiel Programmable Gate Array (Pembagi Clock, Motor DC, Motor Steeper)

2.1 Studi Literatur

Studi literatur akan mencakup eksplorasi mendalam terhadap pengembangan alat yang di buat yaitu modul triner digital yang menggunakan FPGA Xilinx Spartan 6 tipe XC6SLX9. Fokusnya terutama pada aplikasi dalam pembuatan program yang akan di gunakan. Melalui tinjauan literatur, akan diperoleh pemahaman yang kuat tentang konsep dasar perkembangan terbaru dan terkait teknologi ini dalam konteks modul trainer digital.

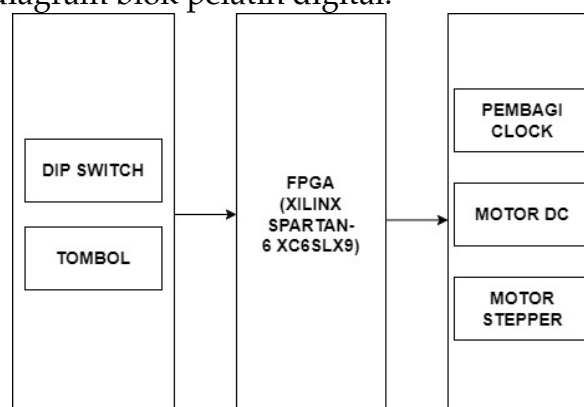
2.2 Perencanaan

Dalam perencanaan ini melibatkan tahapan desain trainer digital yang didasarkan pada integrasi FPGA Xilinx Spartan 6. Ini mencakup pemilihan komponen-komponen yang sesuai, penentuan spesifikasi, serta desain sistem secara keseluruhan dengan mempertimbangkan kebutuhan teknologi yang diinginkan dan relevan. Gambar dari desain traier digital seperti yang terlihat pada Gambar 1.



Gambar 1. Desain Trainer Digital

Gambar 2 menunjukkan diagram blok pelatih digital:



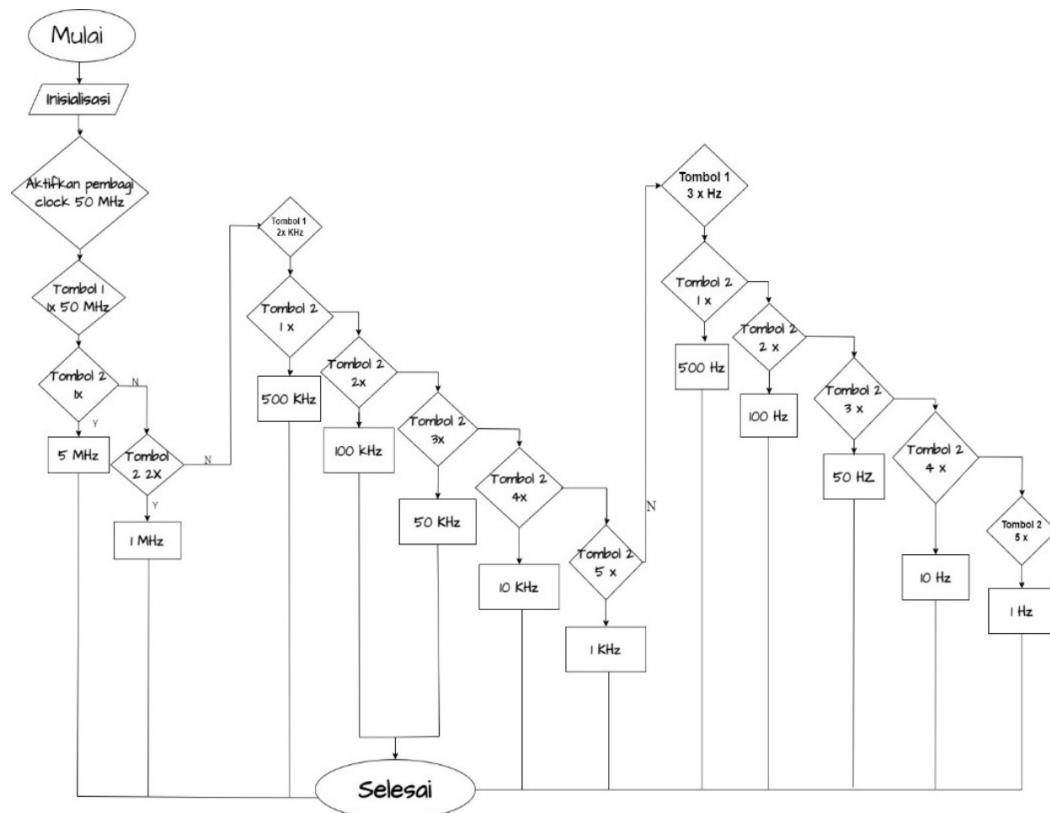


Gambar 2. Diagram blok sistem

Pada bagian utama yaitu tombol dan dipswitch merupakan komponen utama yang memiliki fungsi yang sama yaitu sebagai inputan untuk menghantar sinyal input ke FPGA dengan tujuan untuk mengaktifkan dan menonaktifkan sistem yang dijalankan. Di bagian outputnya terdiri dari pembagi clock yang terdiri dari keluaran yaitu seven segment untuk menampilkan angka dan format segment, led digunakan untuk indikator atau digunakan untuk menjalankan aktifasi led dengan menyalakan led sesuai dengan yang di inginkan, motor DC dan motor Stepper memiliki fungsi yang sama yaitu bergerak berputar.

2.3 Rancangan Perangkat Lunak

Flowchart sistem adalah representasi grafis dari alur kerja suatu sistem, yang menunjukkan urutan langkah-langkah atau keputusan-keputusan yang diambil dalam menjalankan suatu proses. Dengan menggunakan simbol-simbol grafis dan panah-panah sebagai penghubung, flowchart menyederhanakan kompleksitas suatu sistem menjadi gambaran yang mudah dipahami. Pada tahap ini, kita akan merinci setiap langkah dan keputusan dalam flowchart sistem, memberikan pandangan komprehensif terhadap proses secara keseluruhan sebagai berikut.



Gambar 3. Desain Flowchart Kerja Sistem

Berikut merupakan suatu flowchart yang digunakan untuk membagi waktu (Clock). yang terdiri dari 3 tombol (Pulsa 0, Pulsa 1, dan Tombol Aktif), dan 3 display Seven Segment (Seven Segment 1, Seven Segment 2, dan Seven Segment 3).

Tombol 1 (Pulsa 0) digunakan untuk menentukan frekuensi yang digunakan. Jika tombol 1 ditekan sekali, lampu LED yang menyala akan menunjukkan frekuensi dalam satuan MHz. Jika ditekan dua kali, LED yang menyala menunjukkan frekuensi dalam satuan KHz, dan jika ditekan tiga kali, LED yang menyala akan menunjukkan frekuensi dalam satuan Hz.

Tombol 2 (Pulsa 1) digunakan untuk mengatur angka yang diinginkan. *Seven Segment* akan menampilkan angka satu jika menekan tombol 1 sekali; jika ditekan dua kali, akan menampilkan angka 10, dan jika ditekan tiga kali, akan menampilkan angka 50, jika di tekan empat kali akan menampilkan angka 100 dan jika di tekan lima kali akan menampilkan angka 500.

Tombol 3 (Tombol Aktif) di gunakan untuk menunjukkan bahwa alat berfungsi dengan benar.

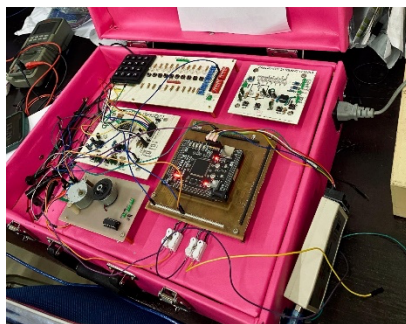
3. HASIL DAN PEMBAHASAN

Temuan penelitian terdiri dari dua komponen utama: hasil desain dan penyajian data. Hasil desain akan membahas model instruktur praktik yang dibuat, dan penyajian data akan mencakup hasil metode pengujian black-box. Proses pembuatan modul instruktur hingga tahap pengujian juga akan dibahas, beserta analisis data pengujian.

3.1. Hasil Perancangan

Pada pembuatan modul trainer telah sesuai dengan rancangan penelitian berdasarkan temuan dari Laboratorium Elektronika Elektronika Program Studi D4 Teknik Elektronika Politeknik Negeri Pontianak (POLNEP).

Untuk menghubungkan berbagai komponen, seperti Motor Pembangkit Frekuensi, Xilinx Spartan-6 XCSLX9 berfungsi sebagai pengontrol utama di bagian perancangan sistem perangkat keras (*Hardware*). FPGA berfungsi sebagai tempat pembuatan program yang bisa di ubah atau diedit kembali dengan begitu akan memudahkan untuk membuat banyak percobaan dengan menggunakan trainer digital ini. Simulasi dari modul ini dapat menampilkan angka dari seven segment, motor DC dan Motor Stepper dapat menunjukkan arah putar motor.



Gambar 4. Hasil Perancangan Modul Praktikum FPGA

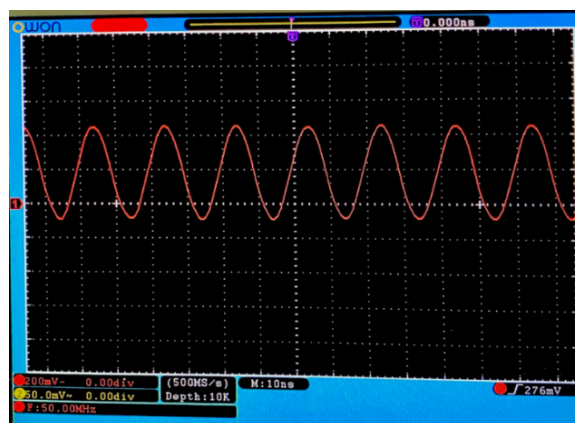
3.2 Pengujian Sistem

Setelah modul instruktur dan lembar kerja selesai, tahapan berikutnya adalah pengujian sistem. Tim pengajar dan pelajar D-IV Teknologi Rekayasa Sistem Elektronika Politeknik Negeri Pontianak akan menguji produk. Pada tahapan selanjutnya modul yang telah dibuat akan di uji coba untuk memastikan bahwa setiap komponen yang ada di trainer tersebut berfungsi sesuai dengan yang di harapkan dan ideal untuk pengajaran dalam mata kuliah perancangan sistem digital. Pengujian modul ini meliputi percobaan Inpu/Output seperti gerbang logika dasar, pengujian pembangkit frekuensi, pengujian counter, pengujina encoder, pengujian multiplexer, pengujian motor DC, pengujian Motor Stepper.

[illegible]



0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	5 MHz
0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1 MHz
0	0	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	500 KHz
0	1	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	100 KHz
0	1	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	50 KHz
0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	10 KHz
0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1 KHz
1	0	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	500 Hz
1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	100 Hz
1	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	50 Hz
1	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	10 Hz
1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1 Hz



Gambar 4.13 Hasil Rekonstruksi Gelombang Sinus 50 MHz

Pengukuran Osiloskop menunjukan frekuensi yaitu sebesar 50.000 MHz, yang konsisten dengan frekuensi yang dihasilkan *FPGA*, nilai puncak ke puncak gelombang dapat di estimasi dengan menghitung jumlah divisi vertikal yang dilalui, dikali dengan tegangan per divisi. Namun ada ketidaksesuaian karena sinyal 50 MHz seharusnya terlihat sebagai gelombang kontinu pada skala 500 ms per divisi, itu seharusnya terlihat sebagai garis tunggal karena frekuensi yang sangat tinggi dibandingkan dengan pengaturan basis waktu yang lambat. Selain itu, bentuk gelombang yang di tunjukan adalah sinusoida dan bukan gelombang persegi, yang seharusnya di harapkan dari *Output* pembagi frekuensi digital.

Berikut adalah cara yang bisa di buktikan perhitungannya yaitu :

$$\begin{aligned}
 &F = 10\text{ns} \times 2 \\
 &= 20 \times \\
 &= 20 \times 0,00000002 \\
 &= 0,00000002 \text{ S} \\
 &F = = 50.000.000
 \end{aligned}$$

4. KESIMPULAN DAN SARAN

4.1.Kesimpulan



Beberapa kesimpulan dari tulisan ilmiah ini adalah sebagai berikut :

1. Modul Latihan Motor *DC* dan Motor Stepper berbasis *FPGA* disusun atas konfigurasi gerbang logika *AND* dan *NOT* dan telah berhasil diujikan.
2. Modul Latihan Pembagi *Clock* dibuat dengan pemrograman *VHDL* dan memanfaatkan fungsi logic dari berupa Pembangkit Frekuensi (Counter dan Buffer), Gerbang *OR*, *Encoder*, *Multiplexer*, Pembagi Frekuensi dan *BCD to 7 Segment*.
3. Fungsi logika Pembangkit Frekuensi terdiri dari empat buah blok *Counter* (A1, A2, A3, A4 dan A5) serta sebuah blok Buffer. Counter A1 dan Buffer berperan sebagai pemilih besar frekuensi dan memiliki tiga keluaran range yaitu range MHz, kHz dan Hz. Seterusnya, range MHz dikelompokkan menjadi 3 skala pilihan melalui couter A2, yaitu skala 50 Mhz, 5 Mhz dan 1 Mhz. Untuk range kHz, dikelompokkan menjadi 5 skala pilihan melalui couter A3, yaitu 500kHz, 100 kHz, 50 kHz, 10 kHz dan 1 kHz. Adapun range Hz, dikelompokkan menjadi 5 skala pilihan melalui couter A4, yaitu skala 500 Hz, 100 Hz, 50 Hz, 10 Hz dan 1 Hz.
4. Sebagai jembatan antara blok counter dan encoder, digunakan blok gerbang *OR* yang salah satu inputnya untuk tiap gerbang terhubung ke tombol pemilih. Sementara, input yang lain berasal dari output counter (A2 sd A4). Tombol pemilih tersebut berperan sebagai blok pembagi frekuensi untuk nilai frekuensi yang diinginkan dan juga sebagai input pilihan pada blok multiplexer.
5. Pada blok *Encoder*, keluaran gerbang *OR* yang terdiri dari semua nilai frekuensi tertentu (menjadi data 13 bit), diolah menjadi 4-bit data untuk dikirimkan ke bagian blok multiplexer.
6. Pada blok *Multiplexer*, input yang diterima berasal dari blok encoder dan blok pembagi frekuensi. Keluar dari multiplexer dikelompokkan dan diteruskan ke tiga buah blok Binary Code Decimal (BCD) sehingga dapat ditampilkan nilainya berupa angka pada tiga buah 7-segment.

4.2 Saran

Terdapat beberapa kelemahan dalam perancangan, pembuatan, dan pengujian alat untuk mencapai hasil yang optimal. Untuk memperbaiki kelemahan ini, pengembangan lebih lanjut dilakukan untuk memperbaiki kelemahan ini, seperti:

1. Pastikan untuk memahami jenis *FPGA* yang akan digunakan.
2. Evaluasi dan bandingkan performa desain dengan kecepatan konsumsi daya dan penggunaan *FPGA* Xilinx Spartan 6 tipe XC6SLX9.
3. Lakukan optimalisasi terhadap desain *FPGA* untuk memastikan penggunaan sumber daya yang efisien.
4. Tinjau literature terkini untuk mengidentifikasi metode Pembagi *Clock* yang efisien dan sesuai dengan *FPGA* Xilinx Spartan 6.

UCAPAN TERIMAKASIH

Penulis mengucapkan terima kasih kepada semua orang yang telah membantu dan membimbing mereka selama prosesnya di Kampus Politeknik Negeri Pontianak. Mereka juga mengucapkan terima kasih kepada para pimpinan, dosen pembimbing, staf administrasi, dan teman-teman yang telah mendorong dan mendorong mereka sepanjang jalan. Mereka telah memberikan bantuan dan dukungan yang sangat penting bagi keberhasilan penelitian ini..



DAFTAR PUSTAKA

- [1] Dewi, K., Sulaeman, S., & Praminasari, R. (2020, January). IMPLEMENTASI FIELD PROGRAMMABLE GATE ARRAY (FPGA) PADA DIGITAL LOGIC TRAINNER. In Seminar Nasional Hasil Penelitian & Pengabdian Kepada Masyarakat (SNP2M) (Vol. 4, No. 1, pp. 127-132).
- [2] Iswantoro, E. D., Ichsan, M. H., & Kurniawan, W. (2019). Desain Arithmetic Logic Unit 8bit untuk Central Processing Unit 8bit. *Jurnal Pengembangan Teknologi Informasi Dan Ilmu Komputer*, 3(1), 892–898. <http://j-ptiik.ub.ac.id>
- [3] Putra, A. E., & Mu'alif, R. (2014, February). Sistem Pengaturan dan Pemantauan Kecepatan Putar Motor DC berbasis FPGA dan VHDL. In SITIA 2013-Smart and Intelligent Technology Application for Distributed Generation Systems.
- [4] Zuhdy, A. H. (2014). Implementasi Programmable DAC pada FPGA Xilinx Spartan-6 Berbasis VHDL. *IJEIS*, 4(1), 91-100.